

#2

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC903 U.S. PTO
09/891310
06/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2001年 2月 2日

出 願 番 号
Application Number:

特願2001-026968

出 願 人
Applicant (s):

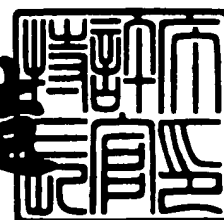
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月 6日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3028113

【書類名】 特許願

【整理番号】 0041211

【提出日】 平成13年 2月 2日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G01R 31/28
G06F 11/22
H01L 27/04

【発明の名称】 バウンダリ・スキャン・レジスタを有する集積回路装置

【請求項の数】 10

【発明者】
【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士
通株式会社内

【氏名】 鈴木 雅仁

【特許出願人】
【識別番号】 000005223
【氏名又は名称】 富士通株式会社

【代理人】
【識別番号】 100094525
【弁理士】
【氏名又は名称】 土井 健二

【代理人】
【識別番号】 100094514
【弁理士】
【氏名又は名称】 林 恒▲徳▼

【手数料の表示】
【予納台帳番号】 041380
【納付金額】 21,000円

【提出物件の目録】
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バウンダリ・スキャン・レジスタを有する集積回路装置

【特許請求の範囲】

【請求項 1】 複数の入力端子を有する集積回路装置において、
前記複数の入力端子に対応して設けられた複数の入力バッファと、
前記入力バッファの出力をそれぞれシリアル・パラレル変換する複数のシリアル・パラレル変換回路と、

前記入力バッファの出力とテストデータ入力とを選択的に入力し、当該入力データを保持し、当該保持された入力データと前記シリアル・パラレル変換回路の出力とを選択的に出力する複数のバウンダリ・スキャン・レジスタとを有し、

前記複数のバウンダリ・スキャン・レジスタは、シリアルに接続されてシフトレジスタを構成することを特徴とする集積回路装置。

【請求項 2】 請求項 1 において、

前記バウンダリ・スキャン・レジスタは、前記入力バッファの出力と前記テストデータ入力とを選択的に入力する第 1 のセクタ回路と、

前記保持された入力データと前記シリアル・パラレル変換回路の出力とを選択的に出力する第 2 のセクタ回路とを有することを特徴とする集積回路装置。

【請求項 3】 請求項 2 において、

前記シリアル・パラレル変換回路は、複数の出力を有し、

前記第 2 のセクタ回路は、前記シリアル・パラレル変換回路の出力に対応して設けられていることを特徴とする集積回路装置。

【請求項 4】 請求項 1 において、

前記入力端子は、それぞれ差動入力を入力する差動入力端子対で構成され、前記入力バッファは、当該差動入力を受信して、前記シリアル・パラレル変換回路に出力することを特徴とする集積回路装置。

【請求項 5】 複数の出力端子を有する集積回路装置において、

内部信号をパラレル・シリアル変換する複数のパラレル・シリアル変換回路と

前記複数の出力端子に対応して設けられ、前記パラレル・シリアル変換回路の

出力が供給される複数の出力バッファと、

前記内部信号とテストデータ入力とを選択的に入力し、当該入力データを保持し、当該保持された入力データと前記出力バッファの出力とを選択的に出力する複数のバウンダリ・スキャン・レジスタとを有し、

前記複数のバウンダリ・スキャン・レジスタは、シリアルに接続されてシフトレジスタを構成することを特徴とする集積回路装置。

【請求項 6】請求項 5 において、

前記バウンダリ・スキャン・レジスタは、前記内部信号と前記テストデータ入力とを選択的に入力する第 1 のセクタ回路と、

前記保持された入力データと前記出力バッファの出力とを選択的に出力する第 2 のセクタ回路とを有することを特徴とする集積回路装置。

【請求項 7】請求項 6 において、

前記出力バッファは、差動出力を出力し、

前記第 2 のセクタ回路は、前記保持された入力データの相補信号と、前記出力バッファの差動出力とをそれぞれ選択的に出力することを特徴とする集積回路装置。

【請求項 8】請求項 6 において、

複数の前記内部信号が、前記パラレル・シリアル変換回路に入力され、

前記複数の内部信号の論理積、論理和、または排他的論理和の信号が、前記第 1 のセクタ回路に前記内部信号として入力されることを特徴とする集積回路装置。

【請求項 9】複数の出力端子を有する集積回路装置において、

内部信号をパラレル・シリアル変換する複数のパラレル・シリアル変換回路と

前記複数の出力端子に対応して設けられ、前記パラレル・シリアル変換回路の出力が供給される複数の出力バッファと、

前記内部信号とテストデータ入力とを選択的に入力し、当該入力データを保持し、当該保持された入力データと前記パラレル・シリアル変換回路の出力とを選択的に出力する複数のバウンダリ・スキャン・レジスタとを有し、

前記複数のバウンダリ・スキャン・レジスタは、シリアルに接続されてシフトレジスタを構成することを特徴とする集積回路装置。

【請求項 1 0】請求項 9 において、

前記バウンダリ・スキャン・レジスタは、前記内部信号と前記テストデータ入力とを選択的に入力する第 1 のセクタ回路と、

前記保持された入力データと前記パラレル・シリアル変換回路の出力とを選択的に出力する第 2 のセクタ回路とを有することを特徴とする集積回路装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、バウンダリ・スキャン・レジスタを有する集積回路装置に関し、特に、高速入出力セル（またはマクロ）の高速動作を損なうことのないようにバウンダリ・スキャン・レジスタが設けられた集積回路装置に関する。

【 0 0 0 2 】

【従来の技術】

バウンダリ・スキャン・レジスタ（以下 B S R）を利用したバウンダリ・スキャン設計手法は、システムボード上に搭載された集積回路装置（以下 L S I）間の接続状態をチェックするために IEEE により定められた仕様である。この仕様によれば、L S I 内に入出力セル（またはマクロ）に対応して B S R を設け、それら B S R をチェーン状に接続してシフトレジスタ構成とし、データのスキャンイン及びスキャンアウトを可能にする。かかるバウンダリ・スキャン回路を内蔵させることで、第 1 の L S I の出力信号とそれに接続される第 2 の L S I の入力信号とが一致するか否かを検証することができ、システムボード上での L S I 間の接続状態を容易にチェックすることができる。

【 0 0 0 3 】

また、バウンダリ・スキャン回路が入出力セル（またはマクロ）に対応して内蔵されていると、ウェハー段階での L S I 内部の動作試験にも利用することができる。ウェハー段階での内部動作試験には、L S I テスタが使用される。L S I テスタのプロープ端子数は、一定の限界があるのに対して、近年の L S I は、そ

の入出力端子数が、例えば1000ピン以上と、増大する傾向にある。かかる入出力端子数の増大に伴い、LSIテストのプロープ端子をチップの全ての入出力端子に接続することができない場合が生じている。

【0004】

そこで、バウンダリ・スキャン回路を利用して、入力テストデータをスキャンインして、一定の内部動作を実行させ、出力テストデータをスキャンアウトで出力することで、LSIテストのプロープ端子数がチップの入出力端子数よりも少ない状況でも、十分な精度の動作試験を可能にする。

【0005】

図1は、従来のLSIにおけるバウンダリ・スキャン回路の概略構成を示す図である。図1には、2つのLSI10、20がシステムボード1上に搭載されている。右側のLSI20について説明すると、入力バッファである入力セル24-1～nと内部回路22との間に、入力端子23-1～nに対応してバウンダリ・スキャン・レジスタ(BSR)25-1～nが設けられ、それらのBSRは、破線で示される通り、テストデータ入力端子TDI-2とテストデータ出力端子TD0-2との間で縦列に接続され、シフトレジスタを構成する。同様に、出力バッファである出力セル27-1～nと内部回路22との間にも、出力端子に対応してバウンダリ・スキャン・レジスタ(BSR)26-1～nが設けられ、テストデータ入力端子TDI-2とテストデータ出力端子TD0-2との間で縦列に接続され、シフトレジスタを構成する。左側のLSI10の出力セル16-1～nと内部回路12との間にも、同様にBSR14-1～nが設けられ、縦列に接続されてシフトレジスタを構成する。

【0006】

第1のLSI10と第2のLSI20において、第1のLSIの出力端子18-1～nと第2のLSIの入力端子23-1～nとが、システムボード1内の配線2-1～nを介して接続されている。上記の通り、バウンダリ・スキャン回路を利用して、この接続状態が容易に検証できる。具体的には、第1のLSI10のテストデータ入力端子TDI-1から所定のテストデータがシリアルに入力され、全てのBSR14-1～nにテストデータがスキャンインされる。このテストデー

タは、それぞれの出力セル16，出力端子18，システムボード上の接続配線2を介して第2のLSI20に入力される。従って、接続状態が正常であれば、スキャンインされたテストデータは、第2のLSI20の入力端子23，入力セル24を介して、BSR25-1～nに入力される。

【0007】

そこで、第2のLSI20内のバウンダリ・スキャン回路のシフトレジスタ機能を利用して、テストデータ出力端子TD0-2からBSR25の全てのデータを出し、最初にスキャンインしたテストデータと一致するか否かをチェックすれば、接続状態が正常か否かを検証することができる。

【0008】

同様の原理で、バウンダリ・スキャン回路は、LSI内部の動作試験にも利用することができる。第2のLSI20で説明すると、最初にテストデータが、テストデータ入力端子TDI-2から入力され、バウンダリ・スキャン回路のスキャンイン機能により、入力端子に対応するBSR25-1～nに転送される。そして、それらのテストデータに対して内部回路22が一定の内部論理処理を行うと、所定時間後に処理結果データが、出力側のBSR26-1～nに取り込まれる。そこで、スキャン機能により、取り込まれた処理結果データが、テストデータ出力端子TD0-3からシリアルに出力される。

【0009】

このように、第2のLSI20の入力端子23や出力端子28を利用することなく、全ての入力端子に対応してテストデータを入力することができ、全ての出力端子に対応して処理結果データを出力することができる。従って、LSI20の制御信号端子（図示せず）とテストデータ入力端子TDI及び出力端子TD0に対応できるだけのプローブ端子がLSIテストに設けられていれば、精度の高いウエハ試験を行うことができる。

【0010】

【発明が解決しようとする課題】

以上のように、バウンダリ・スキャン回路を内蔵させることにより、システムボード上の接続状態を容易に検証することができ、更に、少ないプローブ端子し

かない L S I テスタを利用して、精度の高い内部動作試験を行うこともできる。

【 0 0 1 1 】

近年のコンピュータシステムは、動作クロックの周波数がより高くなる傾向にあり、L S I の入出力セル（または入出力マクロ）は、数 G H z の入力信号を正常に inputs し、同様の周波数の出力信号を出力しなければならない。その場合、入出力端子に対応して設けられる B S R は、入出力セル（またはマクロ）の高速動作を阻害する要因になる。

【 0 0 1 2 】

図 2 は、高速 L S I の入力セル（またはマクロ）に設けられた B S R を示す回路図である。数 G H z 程度の高速システムでは、入力信号に差動入力信号が採用され、L S I の差動入力対 23A, 23B にその差動入力信号が供給される。差動信号は差動入力バッファ 24A で波形整形され、シリアル・パラレル変換回路 24B により、パラレル信号 2 9 に変換され、より低速の周波数の信号として内部回路に供給される。差動入力バッファ 24A とシリアル・パラレル変換回路 24B とで高速入力信号に対応した入力セル（またはマクロ）が構成される。

【 0 0 1 3 】

そして、バウンダリ・スキャン回路を構成する B S R が、差動入力バッファ 24A とシリアル・パラレル変換回路 24B との間に設けられる。図 2 に示される B S R は、システム入力 SYSI かテストデータ入力 TDI のいずれかを選択する第 1 のセレクタ回路 3 4 と、その選択されたデータ入力を取り込むフリップフロップ 3 0 と、そのフリップフロップ 3 0 が取り込んだデータをラッチするラッチ回路 3 2 と、ラッチ回路の出力信号かシステム側の信号かの一方を選択する第 2 のセレクタ回路 3 6 とを有する。

【 0 0 1 4 】

B S R は、テストデータ入力 TDI とテストデータ出力 TDO とを介して、前段の B S R と後段の B S R と接続され、シフトレジスタを構成する。そして、第 1 のセレクタ回路 3 4 を「1」側にセットして、クロック DR（データレジスタ）信号 CDR によるクロック入力により、前段の BSR からのテストデータ入力 TDI がフリップフロップに取り込まれ、テストデータ出力 TDO が次段の BSR に転送される。そして

、アップデートDR（データレジスタ）信号UDRによりフリップフロップ30に取り込んだデータがラッチ回路32にラッチされる。このラッチデータは、システム出力信号SYS0として出力される。更に、システム入力信号SYSIがフリップフロップ30に取り込まれ、取り込まれたシステム入力信号が、再度シフトレジスタを介して後段のBSRに転送される。

【0015】

このような3種類の動作を組み合わせることで、種々の試験が行われる。その詳細については、後述する。また、通常動作時は、第2のセクタ回路36がモード信号MODEにより「0」側にセットされ、差動入力バッファ24Aの出力がシリアル・パラレル変換回路24Bに入力される。

【0016】

かかるBSRの構成は、シリアルパラレル変換される前の段階で入力端子に対応して設けられるので、IEEEの仕様に整合するものであり、差動入力に対して標準のバウンダリ・スキャン・ディスクリプション・ランゲージ（BSDL）により定義することができる。

【0017】

しかし、差動入力バッファ24Aとシリアル・パラレル変換回路24Bとの間に、第2のセクタ回路36が挿入され、入力信号に遅延が生じる。数GHzの入力信号を正確に取り込み、より低い内部周波数の信号にパラレル変換するためには、差動入力バッファ24Aとシリアル・パラレル変換回路24Bとの間で、最適な回路設計が要求される。しかし、図示される通り、両者の間にBSRを設けると、最低でも第2のセクタ回路36がその間に挿入され、そのセクタ回路36の段数分の遅延と、第1のセクタ回路34の入力負荷容量とにより、もはや最適化された入力セル（24A+24B）を実現することが困難になる。

【0018】

図3は、高速LSIの出力セル（またはマクロ）に設けられたBSRを示す回路図である。出力側では、パラレル・シリアル変換回路27Bと差動出力バッファ27Aとの間に、BSRが設けられる。このBSRの構成は、図2と同じであり、第1及び第2のセクタ44、46と、フリップフロップ40と、ラッチ回路42

とを有する。この場合も、BSRは、差動出力端子28A,28Bに対応して設けられているので、BSDLで記述することができ、システムボード上の接続状態の検証や、LSI内部回路の検証を行うことができる。

【0019】

しかし、入力セルと同様に、BSRの第1のセクタ回路44の入力容量や、第2のセクタ回路46の遅延などにより、パラレル・シリアル変換回路27Bと差動出力バッファ27Aからなる高速出力セル（またはマクロ）の最適化設計が困難になる。

【0020】

上記の問題点を解決するために、図2の入力側ではシリアル・パラレル変換回路24Bの出力に複数のBSRを設けることが考えられるが、その場合は、1つの入力に対して複数のBSRが定義されることになり、現在のバウンダリ・スキャン・ディスクリプション・ランゲージ（BCDL）では記述することができない。更に、シリアル・パラレル変換回路24B内で一定の信号処理が行われると、そのBSR内のデータは、もはや入力信号と1対1に対応付けることが困難になる。上記のことは、図3の出力側にも当てはまる。

【0021】

そこで、本発明の目的は、高速入出力セルの高速動作を阻害することなく入出力端子に対応してBSRが設けられた集積回路装置を提供することにある。

【0022】

【課題を解決するための手段】

上記の目的を達成するために、本発明の第1の側面によれば、複数の入力端子を有する集積回路装置において、前記複数の入力端子に対応して設けられた複数の入力バッファと、前記入力バッファの出力をシリアル・パラレル変換する複数のシリアル・パラレル変換回路と、各入力端子に対応して設けられた複数のバウンダリ・スキャン・レジスタとを有する。そして、前記入力バッファの出力が、シリアル・パラレル変換回路とバウンダリ・スキャン・レジスタとに並列に供給され、入力バッファとシリアル・パラレル変換回路との間の遅延要素を最小限に抑えることを特徴とする。

【 0 0 2 3 】

更に、バウンダリ・スキャン・レジスタの保持データ信号と、通常入力信号との切り替え用のセクタ回路は、シリアル・パラレル変換回路の出力側に配置され、入力バッファとシリアル・パラレル変換回路とからなる高速入力セル（またはマクロ）が最適化回路で構成される。この場合、セクタ回路は、シリアル・パラレル変換回路の複数出力に対してそれぞれ設けられる。

【 0 0 2 4 】

上記の構成において、バウンダリ・スキャン・レジスタは、前記入力バッファの出力とテストデータ入力とを選択的に入力し、入力データを保持し、当該保持されたデータまたは前記シリアル・パラレル変換回路の出力とを上記セクタ回路により選択的に出力する。そして、複数のバウンダリ・スキャン・レジスタは、シリアルに接続されてシフトレジスタを構成することを特徴とする。

【 0 0 2 5 】

上記の目的を達成するために、本発明の第 2 の側面によれば、複数の出力端子を有する集積回路装置において、前記複数の出力端子に対応して設けられた複数の出力バッファと、内部信号をパラレル・シリアル変換して前記出力バッファにシリアルに入力する複数のパラレル・シリアル変換回路と、出力端子に対応して設けられた複数のバウンダリ・スキャン・レジスタとを有する。そして、前記内部信号が、パラレル・シリアル変換回路とバウンダリ・スキャン・レジスタとに並列に供給され、パラレル・シリアル変換回路と出力バッファとの間の遅延要素を最小限に抑えることを特徴とする。

【 0 0 2 6 】

更に、バウンダリ・スキャン・レジスタの保持データ信号と通常出力信号との切り替え用のセクタ回路は、出力バッファの出力側に配置され、パラレル・シリアル変換回路と出力バッファとからなる高速出力セル（またはマクロ）が最適化回路で構成される。この場合、セクタ回路は、出力バッファが複数出力を有する場合は、それぞれに対応して複数設けられる。

【 0 0 2 7 】

上記の構成において、バウンダリ・スキャン・レジスタは、前記内部信号とテ

ストデータ入力信号とを選択的に入力し、当該入力データを保持し、当該保持されたデータまたは前記出力バッファの出力とを上記セレクト回路によって選択的に出力する。そして、複数のバウンダリ・スキャン・レジスタは、シリアルに接続されてシフトレジスタを構成することを特徴とする。

【 0 0 2 8 】

上記の入力バッファ、シリアル・パラレル変換回路、及びバウンダリ・スキャン・レジスタは、ハードマクロによる入力マクロを構成する。同様に、出力バッファ、パラレル・シリアル変換回路、及びバウンダリ・スキャン・レジスタも、ハードマクロによる出力マクロを構成する。

【 0 0 2 9 】

上記発明によれば、入力側または出力側において、入力端子毎に、または出力端子毎にバウンダリ・スキャン・レジスタを設けているので、BSDLにより定義することができ、更に、高速入力信号や高速出力信号に対応できる入力マクロ、出力マクロを提供することができる。

【 0 0 3 0 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

【 0 0 3 1 】

図4は、本実施の形態例における入力セル（またはマクロ）側におけるバウンダリ・スキャン回路を示す図である。図中、2つの入力端子対に対応する入力セル（またはマクロ）IMCが示されている。高速のコンピュータシステムでは、数GHzの周波数を有する入力信号がLSIに入力される。従って、高速の信号がより確実に入力されるように、差動信号が利用される。図4では、差動入力信号が供給される1対の入力端子23A,23Bが設けられ、この入力端子対に対応して、入力マクロIMCが設けられる。

【 0 0 3 2 】

入力マクロIMCは、差動入力信号を受信する差動入力バッファ24Aと、その出力をシリアルに入力し、パラレルに変換して出力するシリアル・パラレル変換回路

24Bとを有する。更に、入力マクロIMCには、バウンダリ・スキャン・レジスタ（B S R）が、入力バッファ24Aの出力に対して、シリアル・パラレル変換回路24Bと並列に設けられる。従って、B S Rのシステム入力端子SYSIには、入力バッファ24Aの出力が接続される。そして、そのシステム入力SYSIまたはテストデータ入力TDIが選択的にB S R内部のフリップフロップに保持される。また、シリアル・パラレル変換回路24Bの出力またはB S Rが保持するデータとが、選択的にシステム出力SYSOとして内部回路（図示しない）に出力される。

【 0 0 3 3 】

各入力端子対毎に設けられた複数のB S Rは、そのテストデータ入力端子TDIとテストデータ出力端子TD0を介して、シリアルに接続され、シフトレジスタを構成する。そして、バウンダリ・スキャン（B S）回路シーケンサ50が、モード信号MODE、シフトDR（データレジスタ）信号SDR、クロックDR信号CDR、アップデータDR信号UDRにより、B S Rに対して、スキャンイン、スキャンアウト動作、ラッチ動作、キャプチャ動作の制御を行う。これらの動作については後述する。

【 0 0 3 4 】

図4に示される通り、B S Rとシリアル・パラレル変換回路24Bとを入力バッファ24Aの出力に対して並列に設けることにより、入力バッファ24Aとシリアル・パラレル変換回路24Bとの間には、最小限の遅延要素だけが存在することになり、差動入力バッファ24Aとシリアル・パラレル変換回路24Bとで高速の入力信号を正確に入力処理することができる。

【 0 0 3 5 】

入力マクロIMCは、ASICのセルライブラリ内の差動入力バッファ24Aと、シリアルパラレル変換回路24Bと、B S Rとを組み合わせ、入力ソフトマクロとして構成することができる。或いは、最初からレイアウト構成を最適化した入力ハードマクロとしてシリアル・パラレル変換回路とB S Rとを組み合わせ構成しても良い。更に、入力バッファ、シリアル・パラレル変換回路及びB S Rとを有する入力ハードマクロとしてもよい。いずれの場合も、入力バッファ24Aとシリアル・パラレル変換回路24Bとの間には、最小限の遅延要素しかないので、高速入

カマクロを構成することができる。

【 0 0 3 6 】

図 5 は、図 4 の入力マクロの詳細回路図である。図 4 と同じ要素には、同じ引用番号が与えられる。前述の通り、差動入力バッファ 24A の出力に対して、B S R とシリアル・パラレル変換回路 24B とが並列に設けられる。即ち、差動入力バッファ 24A の出力は、システム入力 SYSI として B S R の第 1 のセクタ回路 3 4 の一方の入力端子に接続される。従って、第 1 のセクタ回路 3 4 は、シフト DR 信号 SDR に応じて、差動入力バッファ 24A の出力か或いはテストデータ入力 TDI のいずれかを選択して、フリップフロップ 3 0 のデータ入力に供給する。フリップフロップ 3 0 は、クロック DR 信号 CDR に応答して、第 1 のセクタ回路 3 4 の出力を取り込み、非反転出力 Q と反転出力 \overline{Q} を出力する。

【 0 0 3 7 】

ラッチ回路 3 2 は、アップデート DR 信号 UDR に応答して、フリップフロップ 3 0 の非反転出力 Q をラッチし、その保持した信号 Q を出力する。また、フリップフロップ 3 0 の反転出力 \overline{Q} は、インバータ 3 8 を介して、テストデータ出力端子 TD0 から出力される。このテストデータ出力端子は、図 4 に示した通り、後段の B S R のテストデータ入力端子に接続される。

【 0 0 3 8 】

ラッチ回路 3 2 に出力 Q は、第 2 のセクタ回路群 3 6 - 1 ~ 4 の一方の入力に供給され、シリアル・パラレル変換回路 24B の 4 つの出力が他方の入力に供給される。そして、モード信号 MODE に応じて、ラッチ回路 3 2 の出力 Q またはシリアル・パラレル変換回路 24B の出力のいずれか一方が選択されて、システム出力 SYSO - 1 ~ 4 として、図示しない内部回路に出力される。

【 0 0 3 9 】

なお、シリアル・パラレル変換回路 24B は、高速の入力信号をシリアルに入力し、パラレル変換して、より低速の内部入力信号に変換するが、シリアル・パラレル変換機能に加えて、何らかの信号処理機能を有していても良い。

【 0 0 4 0 】

図 6 は、B S R の動作を示すタイミングチャート図である。モード信号 MODE は

、バウンダリ・スキャン回路を活性化する信号であり、第2のセクタ回路群36の切替を制御する。モード信号MODEがHレベルになると、セクタ回路群36によりBSRが保持する信号が選択され、図示しない内部回路にシステム出力SY S0として供給される。

【0041】

更に、シフトDR信号SDRは、第1のセクタ回路34を制御し、シフトDR信号SDRがHレベルの時に、テストデータ入力TDIを選択する。その状態で、クロックDR信号CDRがHレベルになると、それに応答して、テストデータ入力TDIがフリップフロップ30に保持される。図4に示される通り、BSRのテストデータ入力端子TDIとテストデータ出力端子TDOとを介して、複数のBSRがシリアルに接続されている。従って、クロックDR信号CDRを連続してHレベルにすることで、シリアルに接続されたBSRのシフトレジスタにテストデータ入力TDIを転送して、テストデータのスキャンインを行うことができる。図6には、3つのテストデータD0,D1,D2がスキャンインされている。この動作がスキャンイン、スキャンアウト動作SCAN・IN/OUT (PA) である。

【0042】

各BSRのフリップフロップ30に保持された入力データは、アップデートDR信号UDRのHレベルに応答して、ラッチ回路32に保持される。ラッチ回路32に保持されると、その後フリップフロップ30に保持されるデータの影響を受けることなく、ラッチ回路が保持したデータを第2のセクタ回路群36から内部回路に供給することができる。これがラッチ動作LATCH (PB) である。

【0043】

また、図6に示される通り、シフトDR信号SDRをLレベルにして、第1のセクタ回路34を入力バッファ回路24A側に切り替えると、クロックDR信号CDRに応答して、フリップフロップ30に入力バッファ24Aの出力データを保持することができる。これが、キャプチャ動作CAPTURE (PC) であり、このキャプチャ動作は、入力端子側では、システムボード上でのLSI間の接続状態を検証するときに主に利用される動作である。

【0044】

更に、モード信号MODEをLレベルにしてBSR以外の回路を通常状態にして、クロックDR信号CDRをHレベルにすることで、通常動作時の内部信号をフリップフロップ30に取り込むことができる。これもキャプチャー動作の一つである。

【0045】

システムボード上での接続状態を検証する場合は、図1に示される通り、前段のLSI10のバウンダリ・スキャン回路のBSRにテストデータをスキャンインさせて、ラッチ動作によりテストデータをそれぞれラッチさせ、その後、図4、5に示した後段のLSI20内の入力バッファ24Aの出力を、キャプチャー動作によりフリップフロップ30に取り込む。そして、最後にその取り込んだテストデータが、スキャンアウト動作により、テストデータ出力TD0から外部に取り出される。そして、最初のスキャンインしたテストデータと最後にスキャンアウトしたテストデータとが比較される。それにより、システムボード上での接続状態が正常か否かが検証される。

【0046】

LSI内部の動作試験をする場合は、図4、5に示した複数のBSRに、テストデータ入力端子TDIからテストデータをスキャンインし、その後、ラッチ動作により各BSR内のラッチ回路32にテストデータをラッチされ、内部回路に供給する。そして、一定の内部動作を実行させた後、出力端子側のBSRに内部回路の出力をキャプチャー動作させ、スキャンアウト動作により試験結果信号を外部に出力する。この場合、通常の入力端子や出力端子に接続することなく、テストデータのスキャンイン、スキャンアウトが可能になる。

【0047】

図7は、BSR内のセレクト回路の例を示す図である。第1及び第2のセレクト回路は、同じ構成で実現できる。但し、図7には第1のセレクト回路が示される。セレクト回路は、P型トランジスタP0とN型トランジスタN0からなる第1のトランスファークロウと、P型トランジスタP1とN型トランジスタN1からなる第2のトランスファークロウとが、制御信号SDRによりオン・オフ制御される。第1のトランスファークロウには、インバータ52を介して第1の入力IN0が供給され、第2のトランスファークロウには、インバータ54を介して第2

の入力IN1が供給される。そして、トランスファークロの出力がインバータ58を介して出力される。制御信号SDRがHレベルの時は、第2のトランスファークロが導通し、第2の入力IN1が選択され、制御信号SDRがLレベルの時は、第1のトランスファークロが導通し、第1の入力IN0が選択される。

【0048】

尚、第2のセクタ回路は、図7の回路構成において、制御信号がモード信号MODEとなる。残りの構成は、図7の例と同じである。

【0049】

図5に示される通り、本実施の形態例によれば、差動入力バッファ24Aの出力端子とシリアル・パラレル変換回路24Bの入力端子との間には、セクタ回路34の入力端子への接続が存在するのみであり、入力信号遅延の要因としては、その入力負荷容量のみとなる。従って、最小限の遅延要因のみとなり、高速入力マクロとしての機能を十分に果たすことができる。

【0050】

シリアル・パラレル変換回路24Bの出力側に、第2のセクタ回路群36が直列に接続されるが、シリアル・パラレル変換回路24Bの後段は、数百Hz帯の低速周波数の信号であるので、かかる遅延要因は、信号処理にそれほど大きな影響をもたらさない。

【0051】

更に、上記構成は、BSRが入力端子毎に設けられるというバウンダリ・スキャン回路の仕様を基本的に満足する構成であるので、IEEEで提唱されているBSDLでBSRを定義することが可能である。

【0052】

図8は、本実施の形態例における出力セル（またはマクロ）側におけるバウンダリ・スキャン回路を示す図である。図8には、2対の差動出力端子28A,28Bに対応する出力マクロOMCが示されている。図示しない内部回路からの複数の内部信号51が、パラレル・シリアル変換回路27Bとバウンダリ・スキャン・レジスタBSRとに並列に供給され、パラレル・シリアル変換回路と出力バッファとの間の遅延要素が最小限に抑えられる。そして、パラレル・シリアル変換回路27B

の出力が、直接、差動出力バッファ27Aに接続される。更に、出力バッファの出力側に、B S Rのラッチ回路の出力端子と、差動出力バッファ27Aの出力信号との切り替え用のセクタ回路が配置される。従って、パラレル・シリアル変換回路と出力バッファとからなる高速出力セル（またはマクロ）が最適化回路で構成される。

【 0 0 5 3 】

各B S Rは、入力端子側と同様に、テストデータ入力TDIとテストデータ出力TDOとを介して、シリアルに接続されて、シフトレジスタを構成する。また、各B S Rへのシステム入力SYSIには、複数の内部信号のAND論理やOR論理、或いは排他的論理和の出力が供給される。これにより、L S I内部の動作試験の精度は低下することが予想されるが、B S Rの構成を、1つの出力端子に1個という標準的な構成に止めることができる。

【 0 0 5 4 】

B S Rで構成されるバウンダリ・スキャン回路は、入力マクロの場合と同様に、B S R回路シーケンサ50により、スキャンイン・スキャンアウト動作、ラッチ動作、キャプチャ動作を制御される。そして、それらの動作を組み合わせることで、システムボード上の接続状態の検証方法、及びL S I内部の動作試験方法が実現できることは、すでに説明した通りである。

【 0 0 5 5 】

図9は、図8の出力マクロの詳細回路図である。図示しない内部回路により出力される複数の内部信号51が、パラレル・シリアル変換回路27Bに入力され、例えば数GHzの高速出力信号に変換されて出力される。この出力は、差動出力バッファ27Aにより大振幅の差動出力信号として出力される。従って、差動出力バッファ27Aの出力側は、大振幅で高周波の差動出力信号である。

【 0 0 5 6 】

複数の内部信号51は、ANDゲート52により1つの信号にまとめられ、B S Rのシステム入力端子SYSIとして入力される。ANDゲート52は、ORゲートであってもよく、また、NANDゲート、NORゲート、EORゲートであってもよい。

【 0 0 5 7 】

B S R 内部の第 1 のセクタ回路 4 4 は、シフト DR 信号 SDR に応じて、システム入力 SYSI かテストデータ入力 TDI のいずれかを選択して入力する。その入力されたデータは、クロック DR 信号 CDR に応答して、フリップフロップ 4 0 に取り込まれる。フリップフロップ 4 0 は、非反転出力 Q と反転出力 / Q とを出力する。更に、ラッチ回路 4 2 は、フリップフロップ 4 0 の非反転出力 Q を、アップデードライバ信号 UDR に応答してラッチし、その非反転出力 Q と反転出力 / Q を、第 2 のセクタ回路群 46-0, 46-1 に出力する。また、フリップフロップ 4 0 の反転出力 / Q は、インバータ 4 8 を介して、テストデータ出力 TDO として出力する。

【 0 0 5 8 】

第 2 のセクタ回路群 46-0, 46-1 は、差動出力バッファ 27A の差動出力とラッチ回路 4 2 の差動出力 Q, / Q のいずれか一方を、モード信号 MODE に応じて選択し、システム出力 SYS0, / SYS0 として出力端子対 28A, 28B に出力する。

【 0 0 5 9 】

B S R の動作は、図 6 で説明した通りである。つまり、スキャンイン・スキャンアウト機能により、テストデータ入力 TDI を複数の B S R 内のフリップフロップに転送したり、複数の B S R のフリップフロップが取り込んだ信号をテストデータ出力から転送したりする。更に、ラッチ機能によりフリップフロップ 4 0 に取り込んだデータをラッチ回路 4 2 にラッチし、キャプチャ動作により、内部信号 5 1 の論理処理後の信号をフリップフロップ 4 0 内に取り込むことができる。

【 0 0 6 0 】

図 8, 9 に示された出力マクロ OMC では、出力端子対に対応して B S R が設けられる。従って、IEEE で規格化された BSDI により各 B S R を各出力端子に対して定義することができる。しかも、低速の内部信号を高速出力信号に変換するパラレル・シリアル変換回路と差動出力バッファとの間の遅延要因が最小限に抑えられているので、両回路を高速出力信号に適合した最適化された構成することができる。また、パラレル・シリアル変換回路には、パラレル・シリアル変換機能に

加えて、別の内部信号 5 1 を処理する機能が追加されていても良い。

【 0 0 6 1 】

図 1 0 は、差動出力バッファ 27A の具体的回路例を示す図である。この差動出力バッファは、単純に CMOS インバータを 2 段設け、初段のインバータ出力を反転出力 /OUT に、後段のインバータ出力を非反転出力 OUT として出力する。各インバータを構成する P 型トランジスタ P10, P11 及び N 型トランジスタ N10, N11 は、大型のトランジスタであり、出力 OUT, /OUT は大振幅にドライブされた信号波形を有する。

【 0 0 6 2 】

図 9 に戻り、高速出力信号処理に最も影響があるパラレル・シリアル変換回路 27B と出力バッファ 27A との間には、B S R の接続端子、ゲート類は一切設けられていない。従って、パラレル・シリアル変換回路と出力バッファの間には遅延要因となるものではなく、両回路を最適化された回路構成で実現することができる。また、出力マクロ OMC をハードマクロとして構成することもできる。

【 0 0 6 3 】

図 1 1 は、B S R を有する別の出力マクロの例を示す図である。この例でも、内部回路からの出力信号 5 1 が、パラレル・シリアル変換回路 27B と B S R に並列に入力される。そして、B S R 内の第 2 のセクタ回路 4 6 は、パラレル・シリアル変換回路 27B の出力かラッチ回路 4 2 の出力 Q のいずれかを、モード信号 MODE に応じて選択し、出力バッファ 27A に供給する。差動出力バッファ 27A は、差動出力を生成し、出力端子対 28A, B に出力する。

【 0 0 6 4 】

この例では、図 3 に示した従来例に比較すると、パラレル・シリアル変換回路 27B と出力バッファ 27A との間に、B S R の第 1 のセクタ回路 4 4 が接続されていない。その分、パラレル・シリアル変換回路 27B の出力信号の遅延要因が減らされている。従って、両回路間の遅延特性が改善されている。

【 0 0 6 5 】

図 1 1 に示された例は、例えば、出力信号が数百 MHz 程度の高速出力の場合に適用が可能であることが確認されている。従って、数 GHz ほどの高速出力信

号ではないが、それよりやや低速である中速出力信号の場合に適用することができる。

【 0 0 6 6 】

【発明の効果】

以上、本発明によれば、高速の入力信号、出力信号に対応した集積回路装置において、バウンダリ・スキャン回路を設けることができると共に、入力マクロにおいて、入力バッファとシリアル・パラレル変換回路間の遅延を少なくし、出力マクロにおいて、パラレル・シリアル変換回路と出力バッファとの間の遅延を少なくすることができる。従って、入力マクロや出力マクロの高速信号処理機能を損なうことなく、バウンダリ・スキャン・レジスタをそれぞれに設けることができる。

【図面の簡単な説明】

【図 1】

従来の L S I におけるバウンダリ・スキャン回路の概略構成を示す図である。

【図 2】

高速 L S I の入力セル（またはマクロ）に設けられた B S R を示す回路図である。

【図 3】

高速 L S I の出力セル（またはマクロ）に設けられた B S R を示す回路図である。

【図 4】

本実施の形態例における入力セル（またはマクロ）側におけるバウンダリ・スキャン回路を示す図である。

【図 5】

図 4 の入力マクロの詳細回路図である。

【図 6】

B S R の動作を示すタイミングチャート図である。

【図 7】

B S R 内のセクタ回路の例を示す図である。

【図 8】

本実施の形態例における出力セル（またはマクロ）側におけるバウンダリ・スキャン回路を示す図である。

【図 9】

図 8 の出力マクロの詳細回路図である。

【図 1 0】

差動出力バッファ 27A の具体的回路例を示す図である。

【図 1 1】

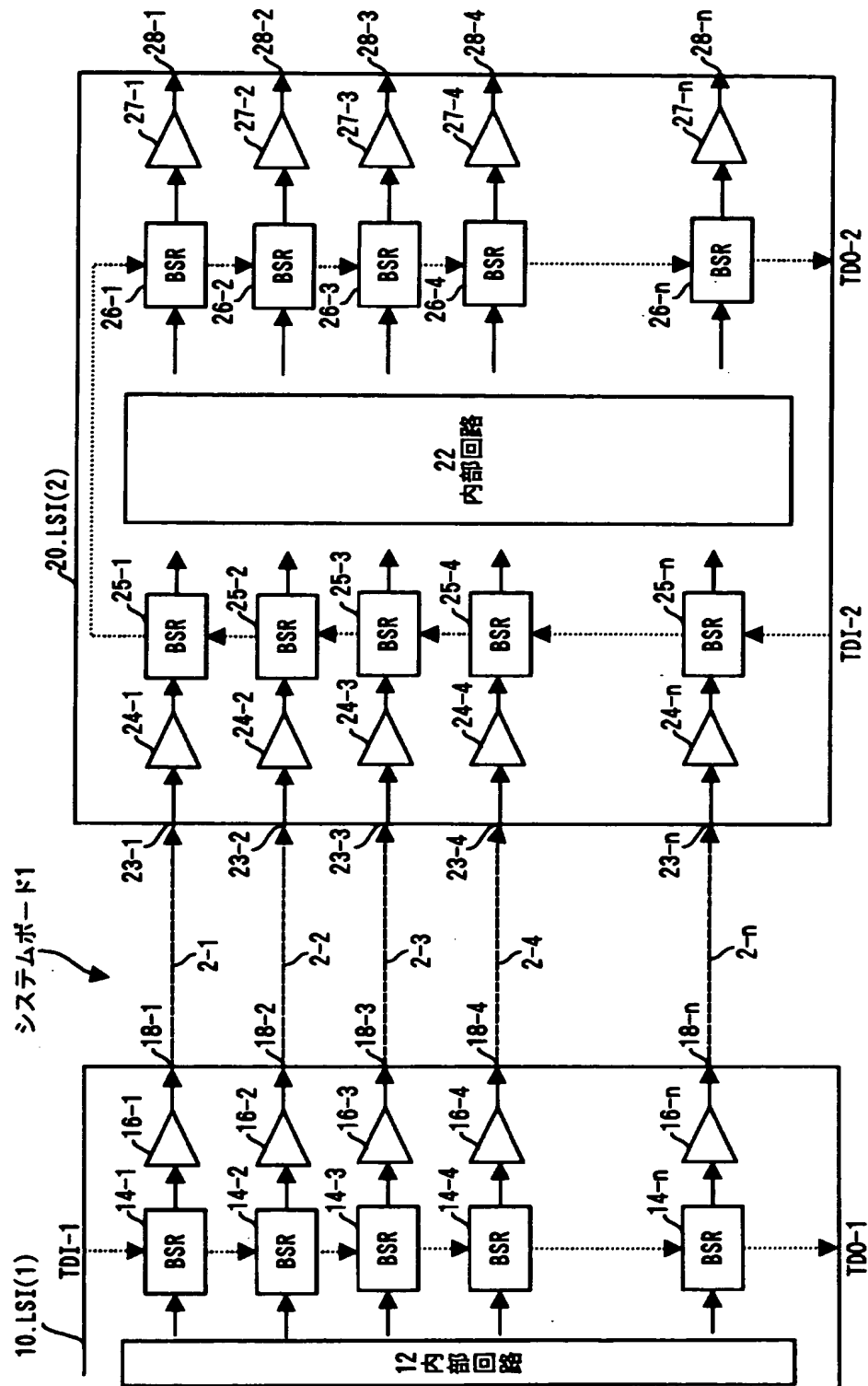
B S R を有する別の出力マクロの例を示す図である。

【符号の説明】

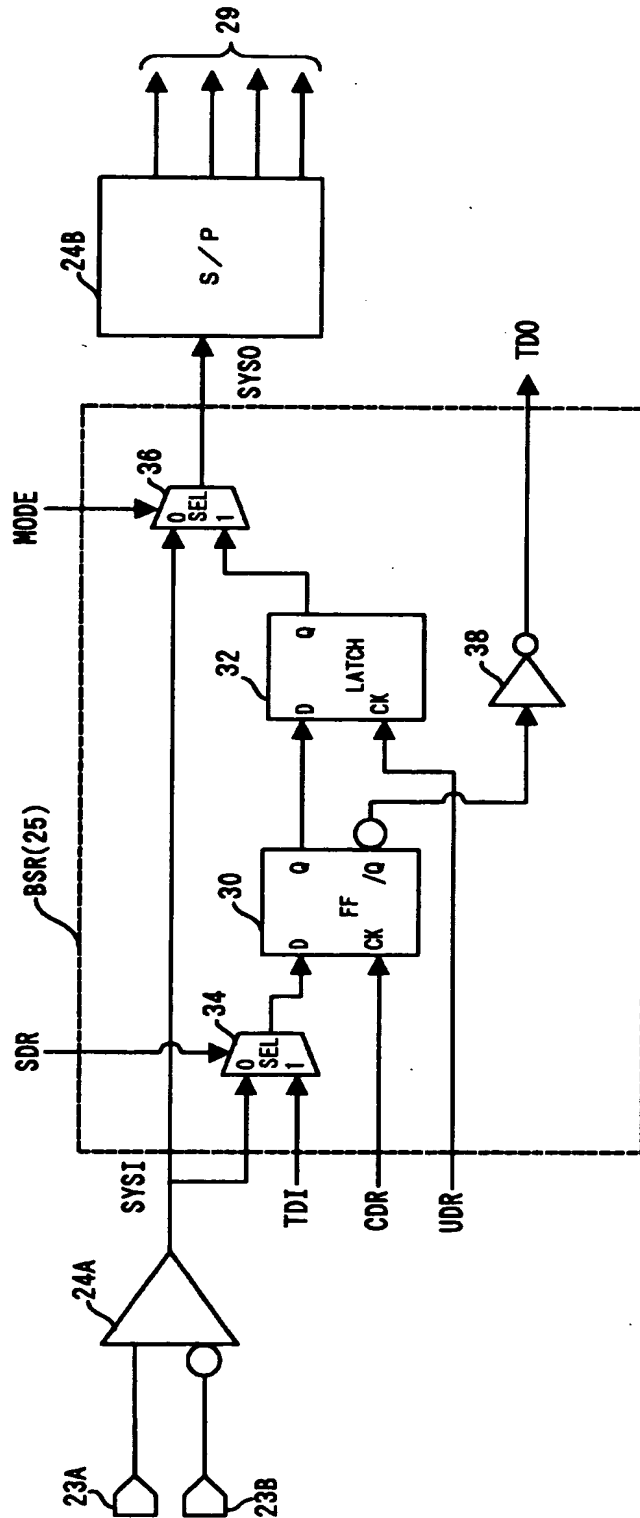
2 3	入力端子
24A	入力バッファ
24B	シリアル・パラレル変換回路
27A	出力バッファ
27B	パラレル・シリアル変換回路
2 8	出力端子
3 4, 4 4	第 1 のセクタ回路
3 6, 4 6	第 2 のセクタ回路
BSR	バウンダリ・スキャン・レジスタ

【書類名】 図面

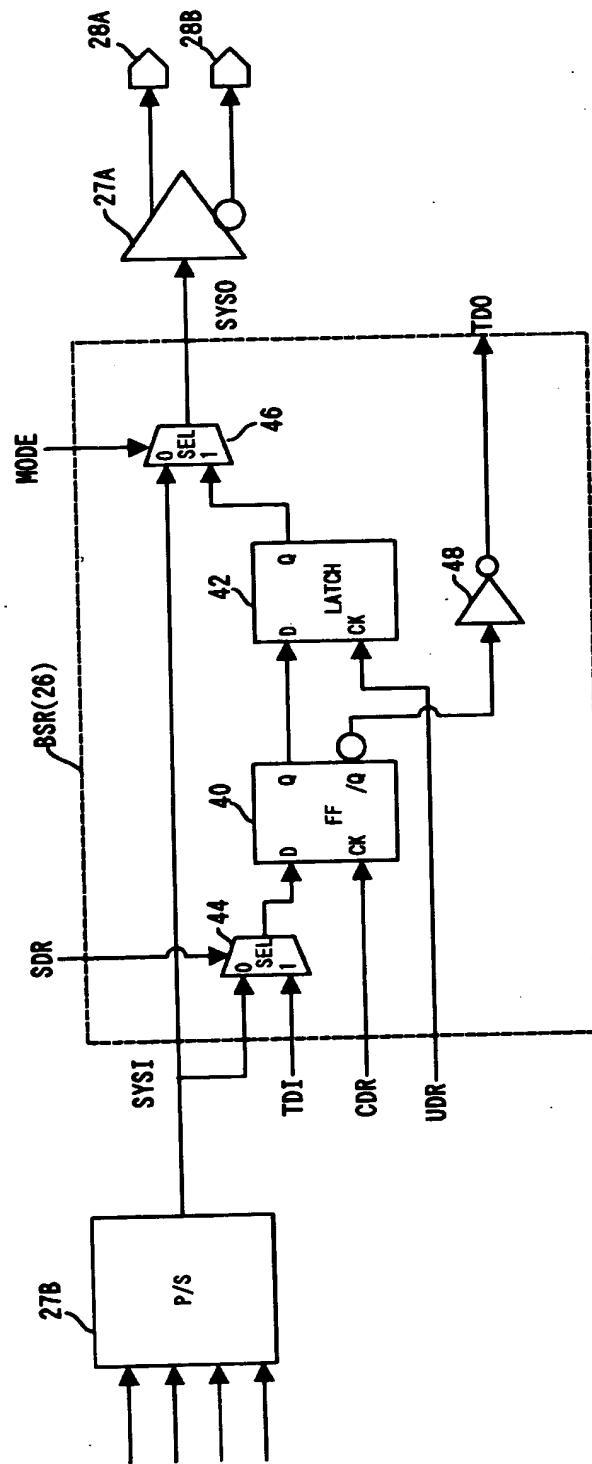
【図 1】



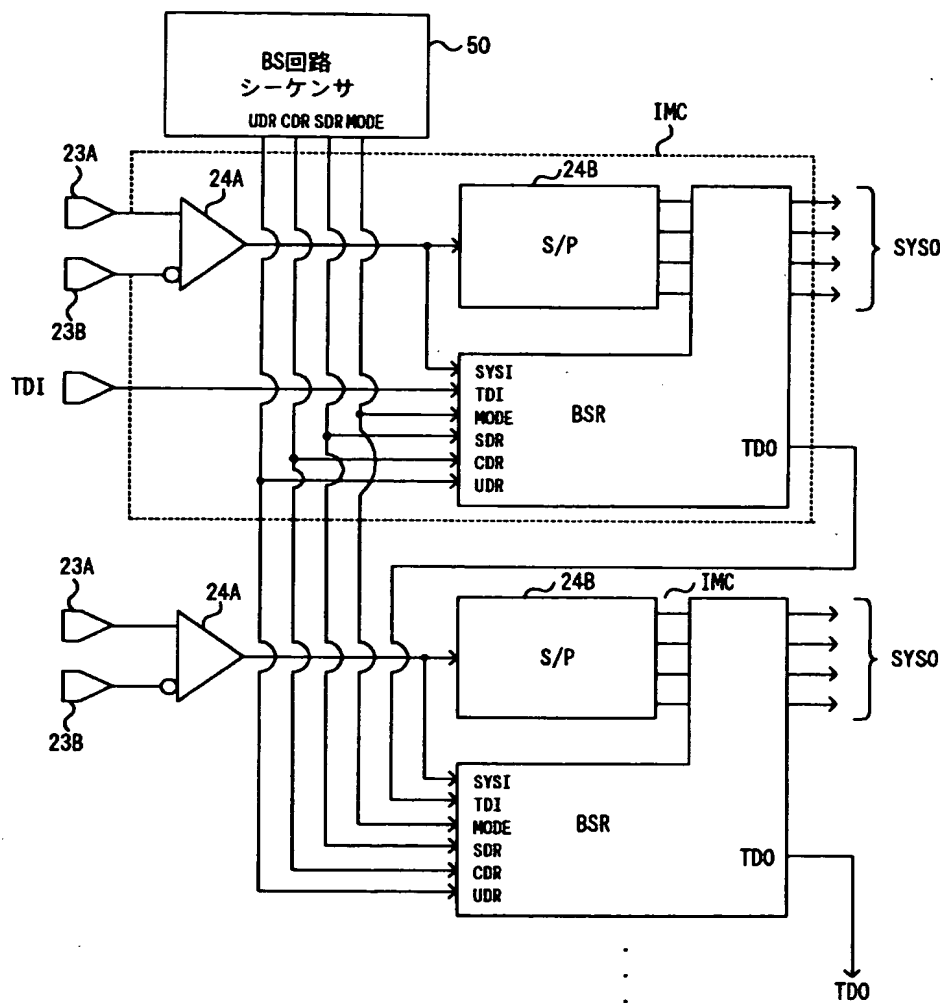
【図 2】



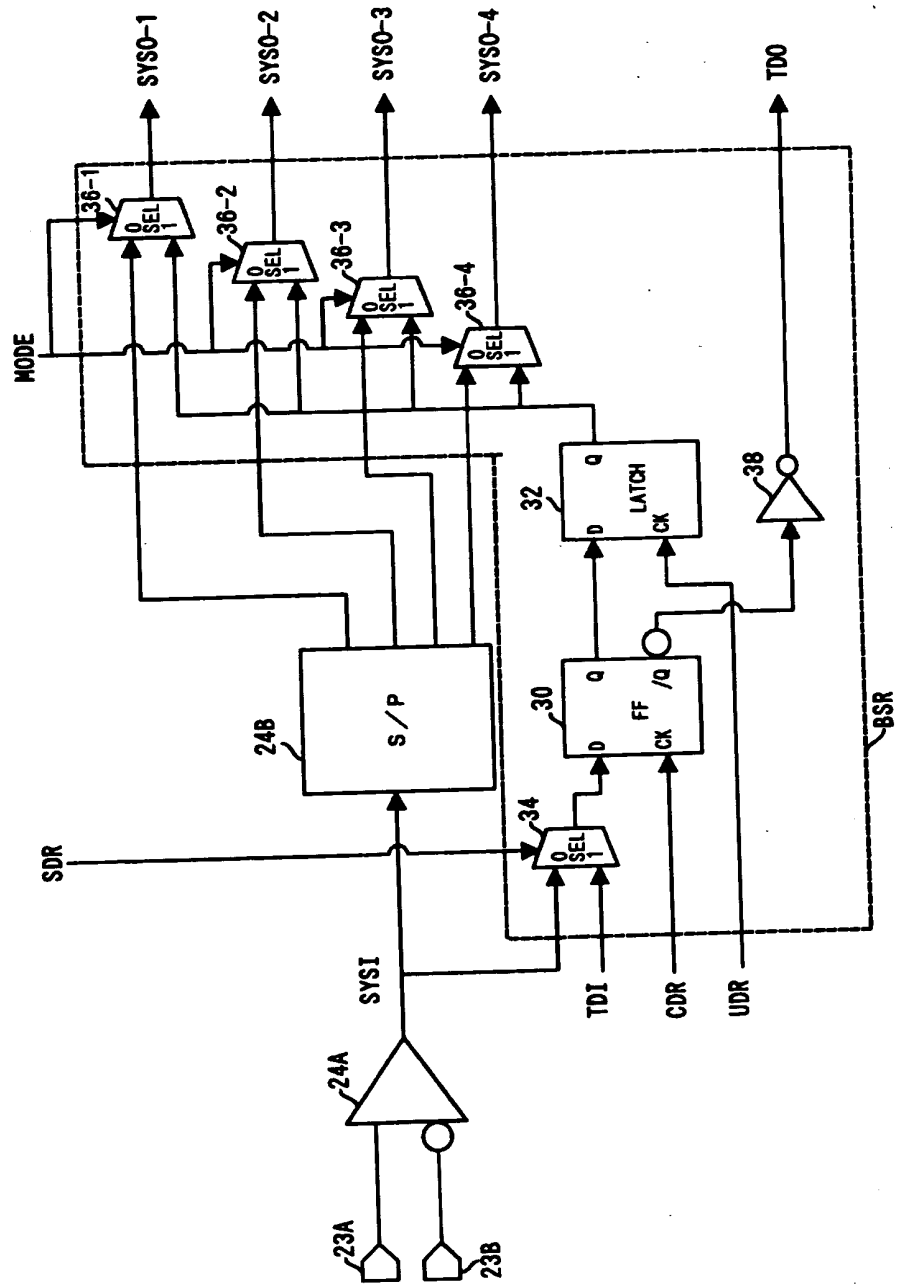
【図 3】



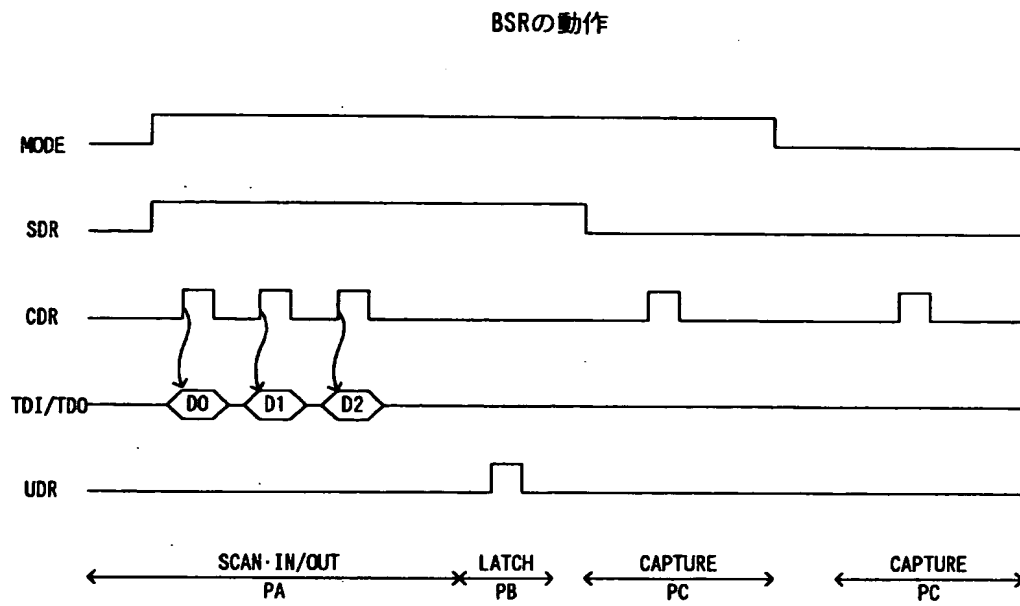
【図 4】



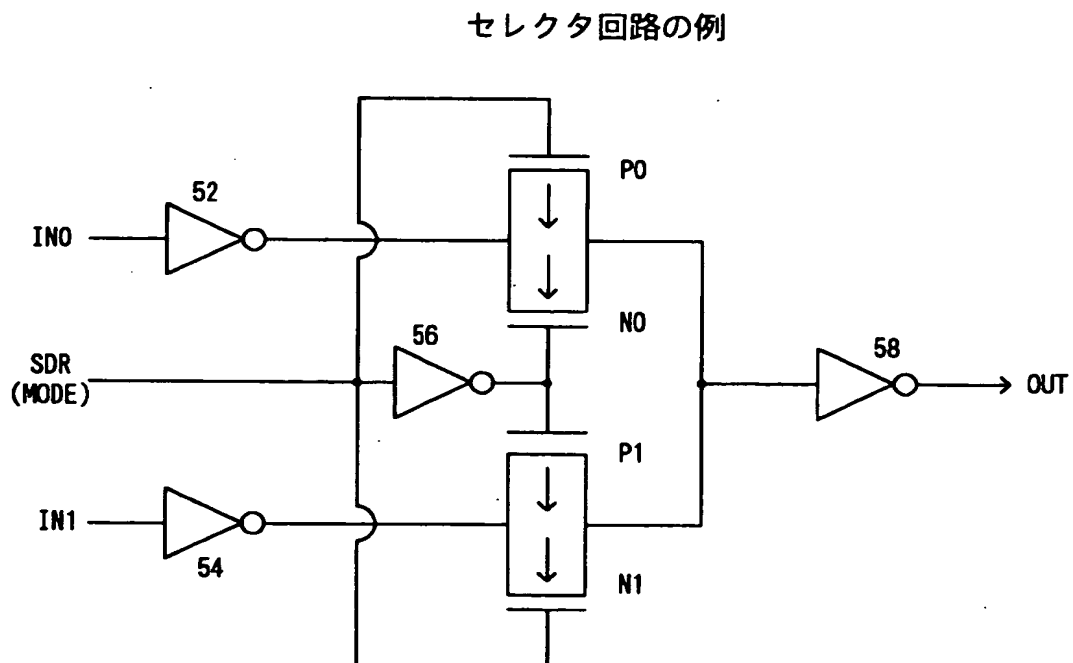
【図 5】



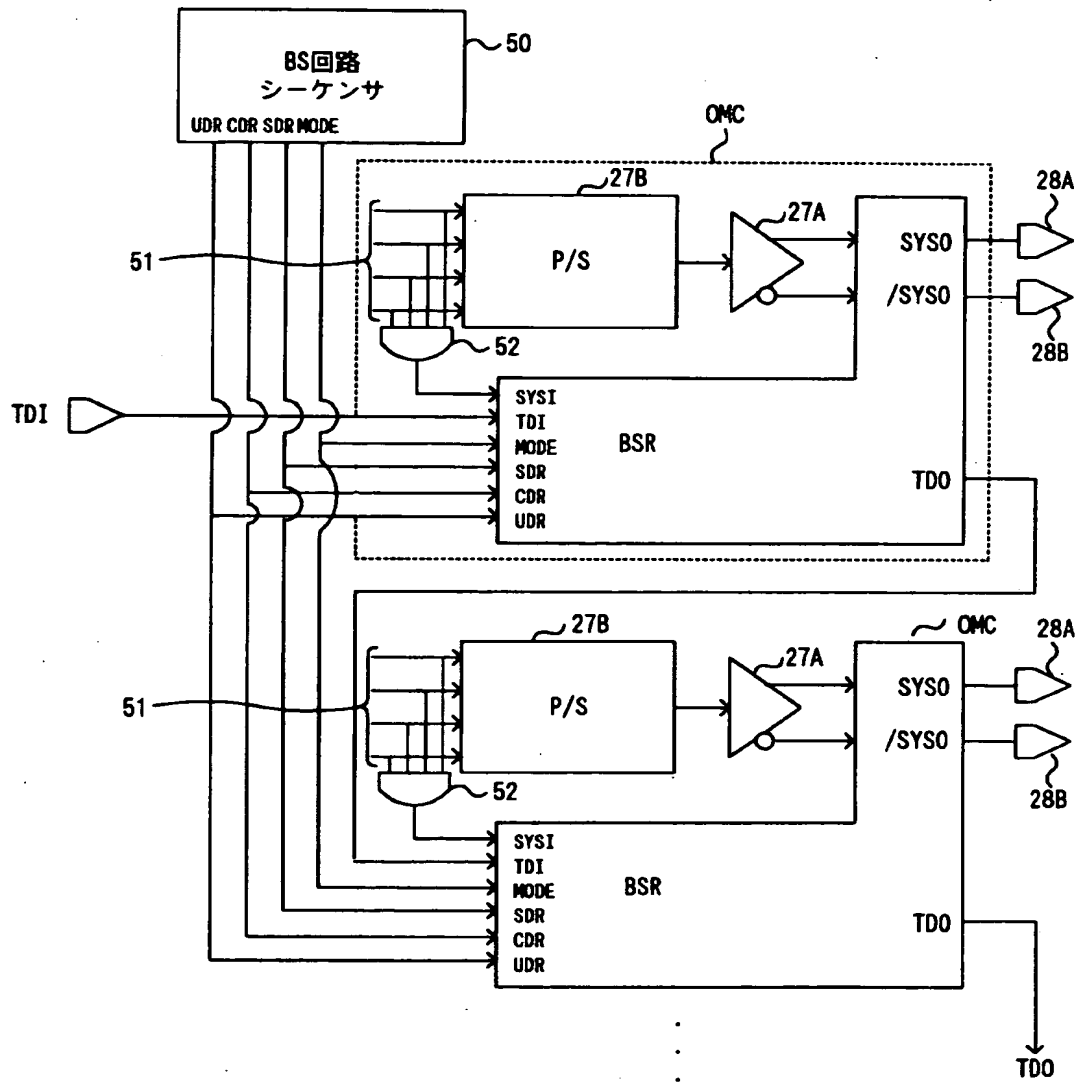
【図 6】



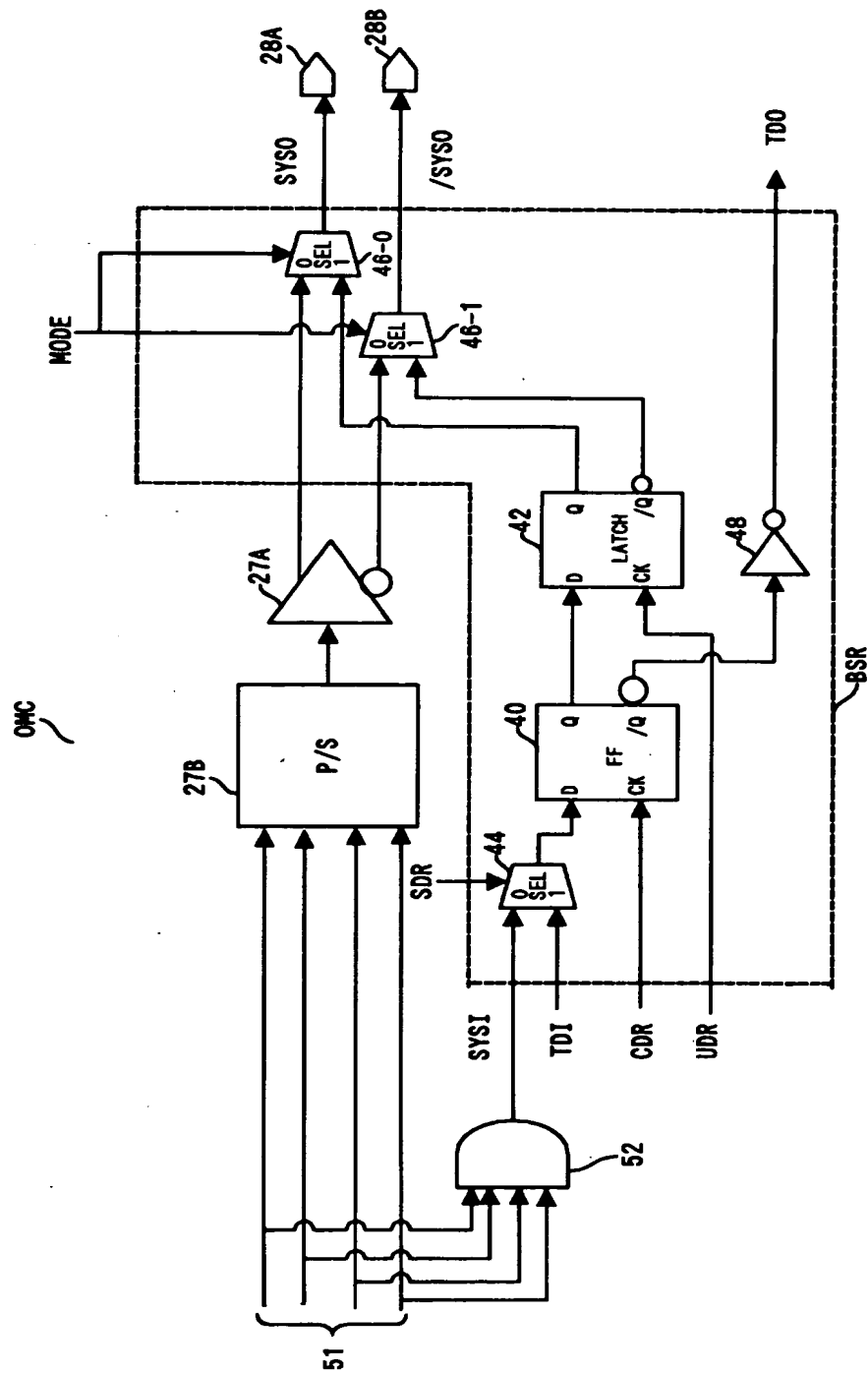
【図 7】



【図 8】

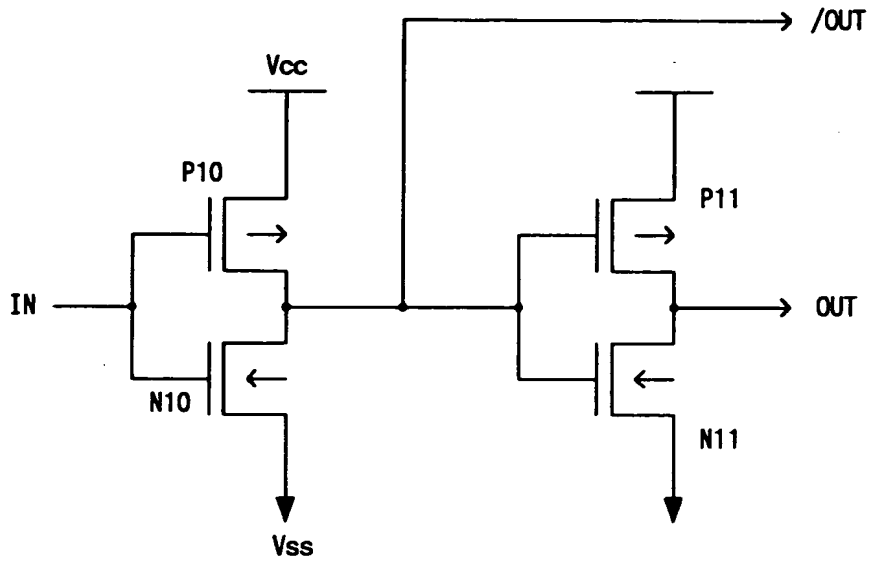


【図9】

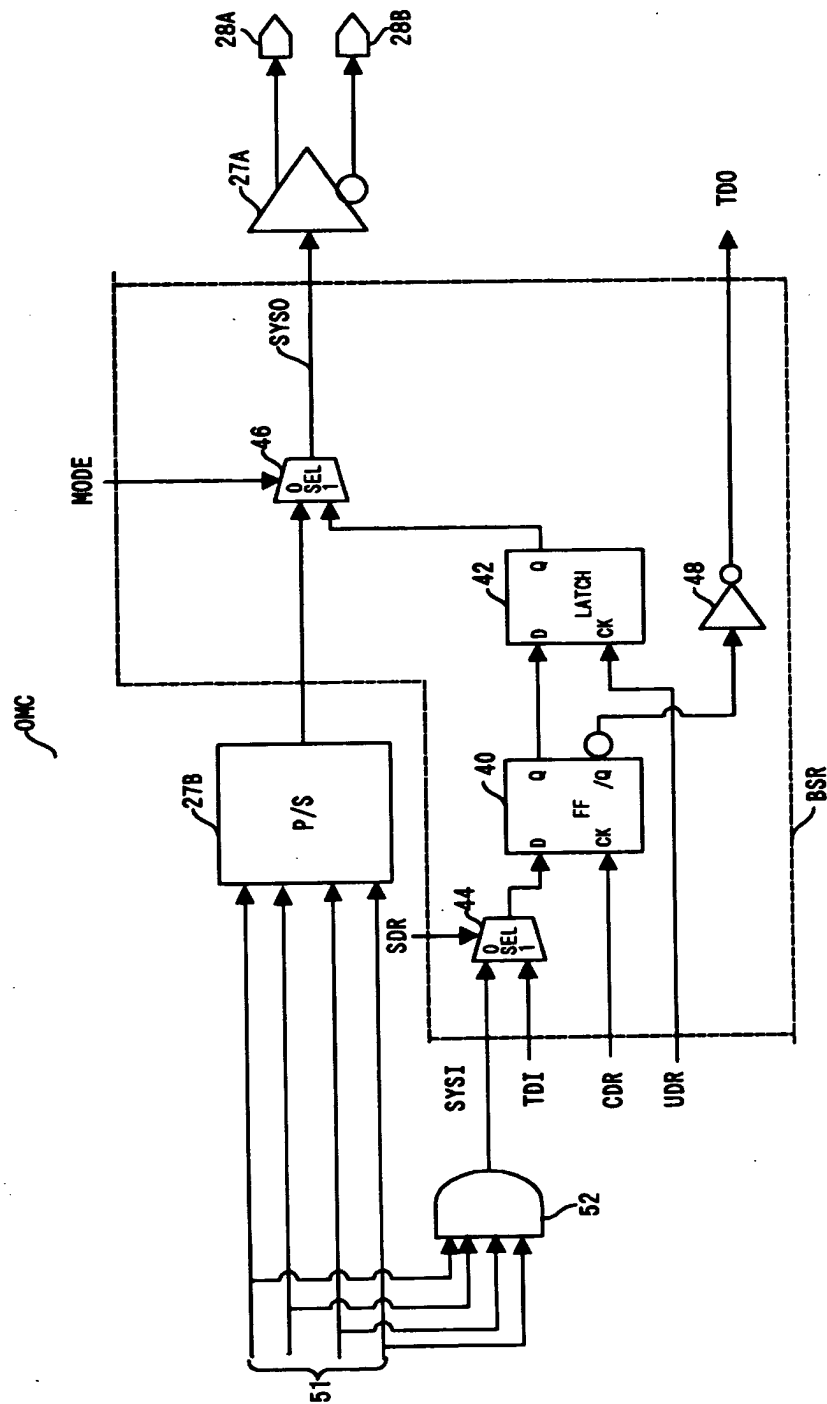


【図 1 0】

差動出力バッファ



【図 11】



【書類名】 要約書

【要約】

【課題】 入力マクロや出力マクロの高速信号処理機能を損なうことなく、バウンダリ・スキャン・レジスタをそれぞれに設ける。

【解決手段】 本発明は、複数の入力端子を有する集積回路装置において、複数の入力端子に対応して設けられた複数の入力バッファ(24A)と、入力バッファの出力をシリアル・パラレル変換する複数のシリアル・パラレル変換回路(24B)と、各入力端子に対応して設けられた複数のバウンダリ・スキャン・レジスタ(BSR)とを有する。そして、入力バッファの出力が、シリアル・パラレル変換回路とバウンダリ・スキャン・レジスタとに並列に供給され、入力バッファとシリアル・パラレル変換回路との間の遅延要素を最小限に抑えることを特徴とする。更に、バウンダリ・スキャン・レジスタの保持データ信号と、通常入力信号との切り替え用のセレクト回路は、シリアル・パラレル変換回路の出力側に配置され、入力バッファとシリアル・パラレル変換回路とからなる高速入力マクロが最適化回路で構成される。この場合、セレクト回路は、シリアル・パラレル変換回路の複数出力に対してそれぞれ設けられる。

【選択図】 図 4

認定・付加情報

特許出願の番号	特願 2001-026968
受付番号	50100150128
書類名	特許願
担当官	大井手 正雄 4103
作成日	平成13年 2月15日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】	富士通株式会社

【代理人】

申請人

【識別番号】	100094525
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	土井 健二

【代理人】

【識別番号】	100094514
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	林 恒徳

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社